

通用平台

硬件总体方案设计

文档编号及版本号：JT-SRANR2.0V2.0-FA-H-01

发布日期 2018年06月29日

# 文件修订记录

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **序号** | **日期** | **编制** | **版本** | **修改说明** |
| 1 | 2016.06.22 | 刘鸿飞 | V1.0 |  |
|  |  |  |  |  |
|  |  |  |  |  |

审核人签字：张景辉

审批人签字：

批准人签字：

目录

[文件修订记录 2](#_Toc517945829)

[缩略语清单 6](#_Toc517945830)

[1 引言 7](#_Toc517945831)

[1.1 编写目的 7](#_Toc517945832)

[1.2 预期读者和阅读建议 7](#_Toc517945833)

[1.3 输入的文档 7](#_Toc517945834)

[1.4 参考资料 7](#_Toc517945835)

[1.5 名字解释 7](#_Toc517945836)

[2 项目背景和需求 8](#_Toc517945837)

[2.1 需求来源 8](#_Toc517945838)

[2.2 项目背景介绍 8](#_Toc517945839)

[2.2.1 应用背景 8](#_Toc517945840)

[2.2.2 硬件V1.0版本说明 8](#_Toc517945841)

[2.3 通用硬件平台V2.0版本架构 8](#_Toc517945842)

[2.4 基于2.0版本硬件系统应用示意图 9](#_Toc517945843)

[3 vBBU硬件总体方案 10](#_Toc517945844)

[3.1 硬件架构逻辑框图 10](#_Toc517945845)

[3.2 硬件外观 10](#_Toc517945846)

[3.2.1 关键技术指标要求 11](#_Toc517945847)

[3.3 系统对外接口设计 11](#_Toc517945848)

[3.3.1 RRU接口 11](#_Toc517945849)

[3.3.2 同步时钟源接口 11](#_Toc517945850)

[3.3.3 电源输入接口 11](#_Toc517945851)

[3.3.4 调测接口 11](#_Toc517945852)

[3.3.5 接口汇总 11](#_Toc517945853)

[4 硬件方案实现设计 12](#_Toc517945854)

[4.1 交互总线方案 12](#_Toc517945855)

[4.2 同步定时方案 13](#_Toc517945856)

[4.3 硬件管理方案-信息采集/固件更新 14](#_Toc517945857)

[4.4 整板电源管理 15](#_Toc517945858)

[4.5 核心器件选型 15](#_Toc517945859)

[4.5.1 FPGA器件 15](#_Toc517945860)

[4.5.2 1588时钟模块 16](#_Toc517945861)

[4.5.3 RS422时钟 18](#_Toc517945862)

[4.6 平台总功耗 18](#_Toc517945863)

[4.6.1 平台总功耗列表 18](#_Toc517945864)

[4.6.2 供电冗余 18](#_Toc517945865)

[4.6.3 电源PSU选型 18](#_Toc517945866)

[5 六性分析 19](#_Toc517945867)

[5.1 系统安全性设计 19](#_Toc517945868)

[5.2 保障性设计 19](#_Toc517945869)

[5.3 可靠性设计 19](#_Toc517945870)

[5.3.1 可靠性指标 19](#_Toc517945871)

[5.3.2 冗余设计 19](#_Toc517945872)

[5.4 环境适应性 19](#_Toc517945873)

[5.4.1 温度 19](#_Toc517945874)

[5.4.2 EMC电磁兼容设计 19](#_Toc517945875)

[5.4.3 振动 20](#_Toc517945876)

[5.4.4 震动冲击要求 20](#_Toc517945877)

[5.4.5 湿热盐雾霉菌 20](#_Toc517945878)

[5.5 可维护性设计 20](#_Toc517945879)

[5.6 可测试性设计 20](#_Toc517945880)

[5.6.1 上电自检 20](#_Toc517945881)

[5.6.2 电压电流检测 20](#_Toc517945882)

[5.6.3 状态指示灯 20](#_Toc517945883)

[5.6.4 复位按键 20](#_Toc517945884)

[6 结构设计 21](#_Toc517945885)

[6.1 热设计及单板温度监控 21](#_Toc517945886)

[*6.2* 机箱结构设计 21](#_Toc517945887)

[6.3 安装方式 21](#_Toc517945888)

[7 其他事项 22](#_Toc517945889)

表目录

[表1输入文档列表 7](#_Toc517706899)

[表2关键技术指标 10](#_Toc517706900)

[表3系统对外接口一览表 11](#_Toc517706901)

[表4常见总线性能对比表 12](#_Toc517706902)

[表5单片FPGA高速接口需求数量 16](#_Toc517706903)

[表6单片FPGA支持IP核 16](#_Toc517706904)

[表7 1588时钟模块需求list 16](#_Toc517706905)

[表8各家方案对比 17](#_Toc517706906)

[表9平台功耗列表 18](#_Toc517706907)

单板总体设计方案

关键词：通用平台，硬件，总体方案。

摘要：本文在基于硬件需求前提下，描述了单板的总体方案设计，本文涉及项目背景、硬件总体实现方式、关键技术点、六性分析以及初步结构设计，鉴于本阶段为总体方案评审，不涉及具体方案设计。

# 缩略语清单

对本文所用缩略语进行说明，要求提供每个缩略语的英文全名和中文解释。

|  |  |  |
| --- | --- | --- |
| 缩略语 | 英文全名 | 中文解释 |
| PSU | Power Supply Unit | 供电模块 |
| vBBU | Vitual Building Base band Unit | 基带处理单元 |
| VR | Voltage regular | 电源转换芯片 |
| OAM | Operation and Maintence | 操作维护管理 |
| RRU | Radio Remote Unit | 远端射频模块 |
| CM | Clock Module | 时钟模块 |
| LMT | Local Maintenance Terminal | 本地维护终端 |
| CDU | Clock Distribute Unit | 全网时钟分发单元 |
| BMC | Baseboard Management Controller | 基板管理控制器 |
| CPU | Central Processing Unit | 中央处理器 |
| XGZ |  | “TT”一号卫星移动通信系统 |
| ETH | Ethernet | 以太网 |

# 引言

## 编写目的

在公司总体路线方针的指引下，硬件事业部承接开发通用硬件平台任务。本文档概述了通用平台项目的2.0版本的硬件总体设计方案。涵盖项目背景、方案变更说明、硬件架构、关键技术点、六性分析以及初步结构设计，涉及大模块方案设计。

## 预期读者和阅读建议

本文档的预期读者为总体、硬件和系统人员。

## 输入的文档

此文档的输入文档如表1所示。

1. 输入文档列表

|  |  |  |
| --- | --- | --- |
| **序号** | **输入文档名** | **产品版本** |
| 1 | 通用硬件平台选型分析 | 1.0 |
| 2 | BC需求规格说明书——硬件&平台分册 | 1.0 |
| 3 | XGZ &业务站需求说明 |  |
| 4 | 硬件总体方案设计2.2 |  |
| 5 | 方案变更讨论确认 |  |

## 参考资料

中移动高精度时间同步系列标准：《QB-B-015-2010》/《QB-B-016-2010》/《QB-B-017-2010》

1588协议规范：《IEEE Std 1588-2008》

CPRI规范：《CPRI Specification V7.0》

以太网协议

FPGA设计参考资料

## 名字解释

通用平台系统——指包括核心网、基站、终端、仪表等的移动通信系统。

通用平台——特指通用平台系统中的基站设备。

通用平台——指通用平台。

# 项目背景和需求

## 需求来源

通用平台需要支撑多制式的场景应用，包含通用平台系统、XGZ一代系统、业务站系统需求。考虑到多制式的应用，场景各异，本硬件平台尽可能做归一化处理，但有部分指标不满足。

## 项目背景介绍

### 应用背景

请参见V1.0版本《硬件总体方案设计2.2》文档2.2章节

### 硬件V1.0版本说明

硬件1.0版本中通过使用双CPU和双FPGA进行物理层和协议层处理，并集成10GbE交换芯片进行数据交换



图1硬件V1.0版本架构

此种方案下，将CPU、FPGA以及大交换芯片均集成到板卡中，此种处理方式对于板卡硬件设计、结构设计、散热设计均带来很大挑战。

尤其CPU模块首次涉及，除却硬件部分，包含大量的BMC、BIOS和驱动方面的工作，工作量大、难度高，大大提高了整个项目的实现风险，同时研发周期会拉长，而此类设备在市场已经有较成熟产品，完全可通过外购方式实现。

## 通用硬件平台V2.0版本架构

通过上述分析，新硬件平台拟保留原FPGA部分设计，将CPU和10GbE交换部分分离出去，同时为增大系统处理能力并保证灵活性，拟在双FPGA基础上增加两片同规格FPGA组成FPGA阵列。



图2硬件V2.0版本逻辑架构图

## 基于2.0版本硬件系统应用示意图



图3系统应用示意图

# vBBU硬件总体方案

## 硬件架构逻辑框图



图4硬件逻辑架构图

如上图所示，整板硬件核心处理芯片为四片FPGA，四片FPGA相互之间通过GTY高速接口实现fullmesh拓扑互联，互联接口协议可自定义，本方案中暂定采用10GbE；同时保持FPGA3实现板级管理以及时钟分发功能不变，为整板提供同步时钟，同时可支持拓扑级联；板级保留1GbE交换芯片不变，实现管理信息对内和对外交互；CPLD3实现板级的上电管理，CPLD3和1GbE交换芯片采用stand by供电模式，可以远程控制设备电源开启关断。

本设计中，四片FPGA共提供了28个对外高速接口，可根据需求配置支持不同接口协议，本方案中，高速接口默认位置为16个10GbE口，每个FPGA 4个，12个CPRI接口，FPGA1和FPGA2各6个，CPRI接口负责接收RRU数据和发送数据到RRU，10GbE接口负责接收服务器数据和发送数据到服务器；本方案中，FPGA1A和FPGA2A默认不焊。

## 硬件外观



图5机箱外观结构图

如图6所示，为机箱外观结构图，出现方式为前出线，散热方式为前进后出，表面处理为磨砂，尺寸1U\*19inch\*382mm。

### 关键技术指标要求

1. 关键技术指标

|  |  |  |
| --- | --- | --- |
| 编号 | 项目 | 要求 |
| 1 | 基带信号处理能力 | 支持FPGA阵列架构 |
| 2 | 同步要求 | 延时和分发形式满足要求 |
| 3 | RRU接入 | 支持CPRI接口输入，与RRU互连接口满足速率25Gbps，不具备中频及射频信号处理能力 |
| 4 | 互连网络 | 满足单端口速率10Gbps |
| 5 | 可扩展 | 支持平台间互连接口，满足可扩展要求 |
| 6 | 可管理 | 支持可管理性要求，通过远程可访问系统 |
| 7 | 操作系统 | 支持Linux操作系统，不支持Vxworks |

## 系统对外接口设计

### RRU接口

通用平台连接RRU采用标准的CPRI接口，遵循CPRI Specification V4.2 规范要求。该接口具体物理实现形式为SFP28光口，最高速率25Gbps，接口数量为12，最大支持96天线。可支持自定义接口扩展，CPRI接口扩展到16接口，最大支持128天线（焊接四片FPGA时支持，两片不支持）。

### 同步时钟源接口

通用平台支持GPS、北斗、RS422、IEEE1588模式同步，接口包含GPS/北斗模块接收接口、IEEE1588输入接口/输出接口、RS422（实训平台与XGZ可配置）输入输出接口、10MHz输入/输出接口。

### 电源输入接口

通用平台支持AC 220V/DC－48V电源。

### 调测接口

调测接口是为调试通用平台的功能、性能的接口，包括OAM调试接口、硬件管理调试接口等。

本方案中OAM调试接口数量为1，接口形式为1GbE网口（RJ45）；硬件调试接口包含两个UART接口，物理形式为MICRO-B接口，用于FPGA调试使用。

### 接口汇总

1. 系统对外接口一览表

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 序号 | 接口类型 | 物理形式 | 物理特性/速率 | 技术规范 | 接口数量 | 接口位置 |
| 2 | 后传接口（接CPU server） | SFP+ | ETH/10GbE | 3GPP TS 36.42x | 8 | 前面板 |
| 3 | RRU接口 | SFP28 | CPRI/25Gbps | CPRI Specification V4.2 | 12 | 前面板 |
| 4 | 时钟同步接口 | RJ45 | 1588/100Mbps | 1588 Specification v2 | 2 | 前面板 |
| 5 | SMA | Frequency/10MHz |  | 2（I/O） | 前面板 |
| 6 | SMA | GNSS |  | 1 | 前面板 |
| 7 | RJ45 | RS422/1PPS+TOD | QB-B-016-2010 | 2（I/O） | 前面板 |
| 8 | 电源接口 |  | 220VAC/-48VDC |  | 2 | 后面板 |
| 11 | 调试接口 | USB Micro-B |  | UART | 2 | 前面板 |
| 12 | RJ45 | 1GbE | 1000BASE-T | 1 | 前面板 |

# 硬件方案实现设计

## 交互总线方案

根据需求分析以及调研目前设备采用的总线标准，总结出支撑池化网络的互连总线对比表。

1. 常见总线性能对比表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Rapid IO | Infiniband | Ethernet | PCI Express |
| 组网方式-多主支持 | 好 | 好 | 好 | 中 |
| 最高线速率 | 中 | 好 | 好 | 好 |
| 低延时（＜1us Mem2Mem） | 好 | 好 | 差 | 好 |
| 低功耗 | 好 | 好 | 差 | 好 |
| 低成本 | 好 | 差 | 差 | 好 |
| 可扩展性和灵活性 | 中等规模 | 大规模 | 大规模 | 小规模 |
| 可靠性和可确定性 | 好 | 差 | 差 | 好 |
| 生态环境 | 中 | 中 | 好 | 好 |

如表5所示，现应用于主流交互总线为PCIE/ETH/SRIO等，其中PCIE组网不够灵活，SRIO交互不利于扩展，而ETH具备灵活的组网方式，故选定以太网总线。

数据通路如下图所示，FPGA通过CPRI接口接入多路IQ数据，处理后通过10G以太网交换机传至CPU进行处理，CPU将完成物理层和协议层处理的数据上传至核心网；核心网数据下发则是现将数据传至CPU，然后CPU将处理后的数据通过交换机传至FPGA，然后FPGA将数据传至RRU。

在业务处理量较大时，各个FPGA或CPU模块可以将数据通过以太网交换机传至其他FPGA或CPU，实现多器件并行处理，增加处理能力。



图6数据通路逻辑架构框图

## 同步定时方案



图7平台时钟方案

为满足不同制式下的时钟需求，整个平台的系统同步方案采用专用模块和FPGA实现，以达到4G、XGZ以及其他各种制式下的同步定时要求，并且板级设置多种冗余及测试通路，满足不同场景下应用。

LTE：此种模式下对于时钟要求较高，本方案中采用专用1588解析模块实现全网高精度同步。

XGZ：XGZ一代设计中，具有专门的TBU板卡实现设备间同步，在本方案设计中，实现兼容设计，可通过FPGA进行配置满足XGZ同步要求。

5G：5G对于同步要求更加严格，在本方案设计中已经预留接口，如有需求可直接将满足5G的高性能时钟模块安装即可。

## 硬件管理方案-信息采集/固件更新



图8硬件管理方案

如图9所示，整板卡通过CPLD3进行上下电管理，板级管理信息通过RJ45接口接收，并通过1GbE交换芯片进行下发。

FPGA3负责收集整板运行信息及log，负责板卡的监控管理，并与上层OM进行直接通信。

FPGA1/1A/2/2A本身信息通过FPGA3与上层OM交互，而RRU的管理控制信息直接通过交换芯片与上层OM交互。

## 整板电源管理



图9单板供电设计

全板上电包含四大部分，standby电源轨、FPGA3电源轨、FPGA模块电源轨，各个电源轨可实现分路控制上下电。

上下电机制描述：

* 12V\_standby ：CPLD3、1GbE Switch（远程上下电管理，板卡上电时序管理）
* Sequence 1：FPGA 3、时钟模块。
* Sequence 2：FPGA1、FPGA2、FPGA4、FPGA5的上电可以通过远程进行控制。具体操作如下：通过网口远程登录CPLD3，由CPLD3控制FPGA1、FPGA2、FPGA4、FPGA5的上下电

## 核心器件选型

### FPGA器件

FPGA主要实现CPRI数据接入，进行数据格式转换，并将处理后的数据通过以太网转发至交换机

1. 需求分析

* 小卫星：单板支持最高信息速率2Gbps的基带处理和数据包处理。

需求分析：要求原始信源速率2Gbps，此处暂不考虑同步帧头，仅计算传输速度。按照1个符号10bit来计算，IQ两路传输速率为40Gbps，再增加LDPC编码效率（0.8）及8B/10B编码（0.8）为62.5Gbps，若增加同步帧头，78Gbps。

* 实训平台：至少支持6\*10Gbps。

1. 高速接口：如下表所示
2. 单片FPGA高速接口需求数量

|  |  |  |  |
| --- | --- | --- | --- |
| 接口业务 | 接口数量 | GTY数量 :30.5Gb/s | GTH数量: 16.3Gb/s |
| 10GbE（数据） | 4 | 4 | - |
| 1GbE (固件更新) | 1 | 1 | - |
| 10GbE（内部数据） | 6 | 6 |  |
| CPRI | 6 | 6 | - |
| 总计 | | 17 | 0 |

1. IP核支持：如下表所示
2. 单片FPGA支持IP核

|  |  |  |
| --- | --- | --- |
| 序号 | IP核 | 数量 |
| 1 | 10GbE | 5 |
| 2 | CPRI v8.7 | 8 |
| 3 | 1GbE | 1 |
| 4 | ARM | - |

1. 封装升级

考虑之后芯片PIN2PIN升级，在选择型号时需考虑到封装兼容，芯片处理能力升级。

根据上述需求，拟定采用采用UltraScale系列以上的芯片，根据最小冗余原则，拟采用KU5P作为最终型号。该型号全名称为：XCKU5P-2FFVB676I

### 1588时钟模块

1. 需求确认

1588模块负责解析1588包信息，并进行分发，同步精度要求可以满足4G需求，不满足业务站、小卫星。具体如下表：

1. 1588时钟模块需求list

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 需求项 | 需求子项 | 需求指标 | 数量 |
| 1 | 输入接口 | 1588 | 支持1588 v2的输入 | 1 |
| 2 | 1PPS+TOD | 接口形式为RJ45，数据格式满足中移动标准：QB-B-016-2010 | 2 |
| 3 | 10MHz | 频率输入 | 1 |
| 4 | 输出接口 | 1PPS+TOD | 接口形式为RJ45，数据格式满足中移动标准：QB-B-016-2010 | 待定 |
| 5 | 10MHz | 频率输出 | 1 |
| 6 | 管理接口 | SPI or I2C | 进行相关配置 | 1 |
| 7 | 配置项 | 同步源优先级选择 | 多个同步源通过配置可选择优先级 | 1 |
| 8 | 告警 | 可通过管理接口查看告警等相关信息 |  |
| 9 | 精度 | 抖动 | 1588信号源到解析区间内，抖动满足≤100ns（一跳） |  |
| 10 | Holdover | 1.5us/24h |  |

1. 型号选择

根据前期调研，现有三家提供解决方案可满足我方需求：大普通信、建普奇正以及浩知宁科技，现将三家方案进行比较，根据下表可以看出，各家方案实现能力大致相同，但从支持力度以及自研技术能力，建议采用大普通信模块。

1. 各家方案对比

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 指标 | | 大普（CM54） | 建普奇正(M88) | 浩知宁科技 |
| 输入接口 | SGMII | 1可以输出 | 1 |  |
| 1pps | 2 | 2 |  |
| TOD | 2 | 2 |  |
| 频率 | 多个 | 5选通 |  |
| 输出接口 | SGMII | 1 | 1 |  |
| 1PPS | 2 | 1 |  |
| TOD | 2 | 1 |  |
| 频率 | 多个 | 1 |  |
| 控制接口 | COM | 1 | 2 |  |
| SPI | 1 | 1 |  |
| 其他功能 | holdover | 1.5us/24h | 支持，需要外加OCXO | 支持，需要外加OCXO |
| 外部晶振 | 不需要 | 需要 |  |
| CDU到时钟模块精确度 | 100ns | 150ns |  |

### RS422时钟

满足多制式应用。

## 平台总功耗

### 平台总功耗列表

根据前期设计，为保证单板处理能力，整板的器件集成度较高，但同时需要考虑高密度器件下的散热处理。在设计时需要在尺寸、功耗、处理能力之间做平衡。详细器件功耗如下表。

1. 平台功耗列表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 序号 | 型号 | 封装 | 数量 | 单点功耗 | 功耗 |
| 1 | FPGA-KU5P | FFVB676 | 4 | 40 | 160 |
| 2 | MT40A256M16GE\_075E\_IT |  | 12 | 0.38 | 4.56 |
| 3 | 光模块-SFP28 |  | 16 | 4 | 64 |
| 5 | 光模块-SFP+ |  | 8 | 1 | 8 |
| 6 | FPGA-XC7Z045 | FFVB900 | 1 | 4.4 | 4.4 |
| 7 | CM54 |  | 1 | 10 | 10 |
| 8 | FAN |  | 3 | 30 | 90 |
| 9 | 其他（GNSS/FLASH等） |  | 1 | 10 | 10 |
|  |  |  |  |  | 350.96 |

### 供电冗余

采用1+1冗余模式，电路设计支持Load share模式。

### 电源PSU选型

整个设备电源功耗估算约为350W左右，PSU的选择应在350W左右，现初步调研结果如下：

1. PSU选型列表

|  |  |  |  |
| --- | --- | --- | --- |
| 厂商 | 电源功率 | 尺寸（mm\*mm\*mm） | 备注 |
| 台达电 | 300W/500W/800W | 188\*73.5\*40 | 所有电源封装兼容 |
| 雅特生 | 460W（最小） | 197\*86.4\*40.5 | 尺寸较大 |
| GE | 450W（最小） | 127\*76.2\*36.8 | 开板 |
| 群智科技 | 250W | 211\*50.5\*40.2 | 可以考虑三个并联 |

# 六性分析

## 系统安全性设计

各项设计都满足安全要求应满足GJB900-90《系统安全性通用大纲》相关要求

## 保障性设计

整个系统从技术方案、研制、生产均需要采用有效的控制措施，针对各个阶段的工作有合理的计划和安排，每个环节保证具备有效的监督和控制，针对出现问题有积极的改进措施。

在前期设计中，采用主流技术、主流器件，保证供应渠道。

## 可靠性设计

### 可靠性指标

1. MTBF：（平均故障间隔时间）

目标为：MTBF≥5万小时

1. MTTR：（平均修复时间）

目标为：MTTR≤60分钟

### 冗余设计

在方案设计中，在关键节点充分考虑冗余设计，包括时钟、数据交互、电源等各个方面。

1. 时钟：具备holdover功能，保证外部源丢失情况下板卡无障碍工作。
2. 数据交互：数据交互实现多条通路，防止瓶颈产生。
3. 电源：1+1冗余

## 环境适应性

### 温度

设备工作环境温度为：-20~65°。由于本通用平台考虑到成本，均为商业级器件，不满足0°以下启动，需在硬件结构增加加热模组。

### EMC电磁兼容设计

在结构和硬件设计中，会考虑电磁兼容的需求，拟满足YD/T1592.2-2007。业务站电磁兼容要求成本较高，不满足，小卫星信关站没有这部分需求，XGZ一代设备需求满足。

### 振动

根据设计需求，设计中，拟满足GJB 150.16A-2009中关于车载部分要求。

### 震动冲击要求

结构设计中，拟考虑相关因素，满足工信部电信设备抗震性能要求，抗震设防烈度要求为9烈度以上

### 湿热盐雾霉菌

该项在结构设计中的材料选择也有考虑，同时PCB板可考虑喷涂三防漆等处理。

## 可维护性设计

可维护性设计时整个系统开发的重要部分，为了提高整个系统的可维护性，在研制过程中提出了有效的维护性设计需求，包括可达性、互换性、防差错性、标准化、可检测性等原则，在随后的试制、实验等环节中严格贯彻设计要求，保证整个系统的维修性达到设计要求。

在实际设计中，将维护需要的程序更新、状态监控等要素均具备多条路径实现。并且充分考虑上电、接口等防差错处理。

## 可测试性设计

### 上电自检

整板具备上电自检功能，每个单独的功能子模块均具备在位检测以及程序加载成功的信息上报。

### 电压电流检测

针对关键节点的电压电流实现幅值检测功能，并实现异常检测和上报。板级也会提供各个电压测试点。

### 状态指示灯

针对板卡健康状态、链路连通性等各个方面将会提供指示灯。

### 复位按键

针对整个平台提供系统复位按键。

# 结构设计

## 热设计及单板温度监控

整板采用前面和侧面进风，后面出风的散热方式，板上的FPGA等大功耗器件通过散热翅将热量导致风扇风向前侧，综合实现整板300W左右的散热能力，保证设备工作温度可满足-20℃~65℃。

## 机箱结构设计

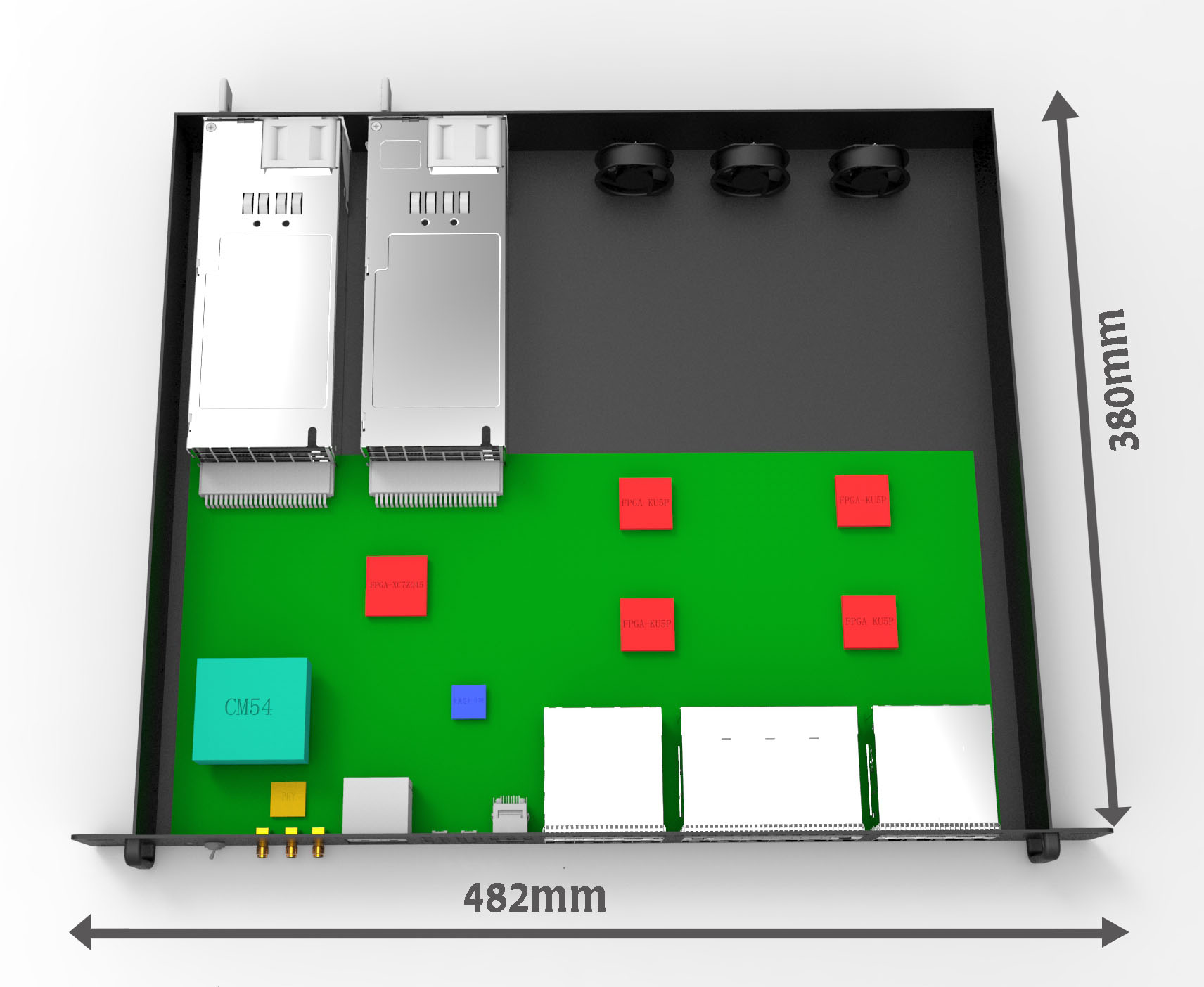


图10硬件布局图

## 安装方式

整个设备为1U上架设备，符合上架标准，机箱两侧留有固定孔与机柜固定。

# 其他事项

无